

JAPANESE UTILITY MODEL ABSTRACT (JP)

PUBLICATION

(51) IPC Code: H03F 1/02  
H03F 3/68

(11) Publication No.: sho 61-52815

(43) Publication Date: 9 April 1986

(21) Application No.: sho 59-136450

(22) Application Date: 7 September 1984

(71) Applicant:

Matsusita Electronic Industries Co., Ltd.  
1006, Kadoma, Oaza, Kadoma-si, Japan

(72) Inventor:

KASIWA HIDEAKI

(54) Title of the Invention:

Amplifier for Stereo Reproduction

Abstract:

A stereo reproduction amplifier improving power efficiency is provided, both channels of which are constructed with first and second output devices having the same structure. In the first output device, an emitter of a first NPN transistor is connected to an emitter of a first PNP transistor, one end of a load is connected to the coupling point of the emitters, and the other end of the load is grounded. A collector of the first NPN transistor is connected to an emitter of a second NPN transistor, and a collector of the first PNP transistor is connected to an emitter of a second PNP transistor. First through fourth voltages are serially connected to one other between the collectors of the second NPN and PNP transistors so that a sum of four equal voltages are applied to the transistors and that positive polarities of the four voltages are connected to the collectors of the four transistors. A connected portion of the second and third voltages is grounded. A connected portion of the first and second voltages is connected to a connected portion of the collector of the first NPN transistor and the emitter of the second NPN transistor via a first one-way device. A connected portion of the third and fourth voltages is connected to a connected portion of the collector of the first PNP transistor and the emitter of the second PNP transistor via a second one-way device. An input signal is applied to both a base of the first NPN transistor and a base of the first PNP transistor which are connected to each other. Voltage dropping devices for providing a potential difference are connected to the bases of the first NPN and PNP transistors, respectively. Logic circuits for providing input signals of right and left channels are connected to bases of the second NPN and PNP transistors, respectively.

BEST AVAILABLE COPY

# 公開実用 昭和61-52815

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭61-52815

⑬ Int. Cl.<sup>4</sup>

H 03 F 1/02  
3/68

識別記号

庁内整理番号

6932-5J  
6628-5J

⑭ 公開 昭和61年(1986)4月9日

審査請求 未請求 (全 頁)

⑮ 考案の名称 ステレオ再生用増幅装置

⑯ 実 願 昭59-136450

⑰ 出 願 昭59(1984)9月7日

⑱ 考 案 者	柏 秀 明	門真市大字門真1006番地	松下電器産業株式会社内
⑱ 考 案 者	塗 矢 康 三	門真市大字門真1006番地	松下電器産業株式会社内
⑱ 考 案 者	傍 島 彰	門真市大字門真1006番地	松下電器産業株式会社内
⑱ 考 案 者	城 戸 紘 一	門真市大字門真1006番地	松下電器産業株式会社内
⑲ 出 願 人	松下電器産業株式会社	門真市大字門真1006番地	
⑳ 代 理 人	弁理士 中尾 敏男	外1名	

明 細 書

1、考案の名称

ステレオ再生用増幅装置

2、実用新案登録請求の範囲

第1のNPNトランジスタのエミッタと第1の  
PNPトランジスタのエミッタを接続し、前記接  
続部に負荷の一端を接続し他端を接地した第1の  
出力装置と前記第1の出力装置と同じ構成の第2  
の出力装置とで左右両チャンネルを構成し、前記  
各第1のNPNトランジスタのコレクタと第2の  
NPNトランジスタのエミッタを接続し前記各第  
1のPNPトランジスタのコレクタと第2のPN  
Pトランジスタのエミッタとを接続して前記第2  
のNPNトランジスタのコレクタと前記第2のP  
NPトランジスタのコレクタとの間に等電圧でか  
つ和電圧が印加されるように第1から第4の電源  
をその正側が前記第2のNPNトランジスタのコ  
レクタ側となる様に直列接続し、第2の電源と第  
3の電源の接続部を接地し、第1の電源と第2の  
電源の接続部と、前記各第1のNPNトランジス

タのコレクタと前記第2のNPNトランジスタのエミッタの接続部との間に第1の一方向性素子を介して接続し、第3の電源と第4の電源の接続部と、前記各第1のPNPトランジスタのコレクタと、前記第2のPNPトランジスタのエミッタの接続部との間に第2の一方向性素子を介して接続し、前記左右各第1のNPNトランジスタと第1のPNPトランジスタのベースを相互に接続してそれぞれに入力信号を与え、かつ、前記各第1のNPNトランジスタと第1のPNPトランジスタのベース側に電位差を与える電圧降下素子を挿入し第2のNPNトランジスタと第2のPNPトランジスタのベースには左右両チャンネルの入力信号を供給する論理回路とを具備したことを特徴とするステレオ再生用増幅装置。

### 3、考案の詳細な説明

#### 産業上の利用分野

本考案は、電力効率の向上を図ったステレオ再生用増幅装置に関するものである。

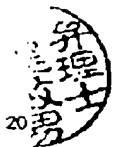
#### 従来例の構成とその問題点

一般にトランジスタのB級動作による増幅装置  
 は、最大出力時に約78%と高い電力効率が得ら  
 れるが、小出力時になる程電力効率が低下する。  
 又、最大出力の約40%の出力時にトランジスタ  
 の損失が最大になる事が知られている。ところが  
 音楽等の再生においては、最大出力の数%~数  
 10%で動作させる事が多く、最大損失付近での  
 動作が主になってしまう。この事は特に大出力の  
 電力増幅装置において大容量の出力トランジスタ  
 と大きな放熱器が必要となる。

又、高効率を目的とした電力増幅装置として、  
 第1図に示す様なものが知られているが、ステレ  
 オ再生用として2チャンネル化したとしてもトラ  
 ンジスタの数が多くなる。又、1段目のトランジ  
 スタ  $Q_1$  が2段目のトランジスタ  $Q_3$  が動作する  
 より先に、又トランジスタ  $Q_2$  がトランジスタ  $Q_4$   
 が動作するより先に飽和した場合に歪が発生する  
 という欠点を有していた。

#### 考案の目的

本考案は上記の欠点をなくし、効率がよく発熱



量が少なくしかも歪の発生の少ないステレオ再生用増幅装置を提供する事を目的とする。

#### 考案の構成

本考案のステレオ再生用増幅装置は、複数のトランジスタと複数の電圧源を用い、入力信号の大きさにより左右両チャンネル同時に供給電圧電圧を切換え出力トランジスタを常に最大出力に近い状態で動作させることにより効率を向上させるものである。

#### 実施例の説明

第2図は本考案の一実施例におけるステレオ再生用増幅装置の回路図である。

第2図においてNPNトランジスタ  $Q_1$  (以下トランジスタ  $Q_1$  という)のエミッタとPNPトランジスタ  $Q_2$  (以下トランジスタ  $Q_2$  という)のエミッタを接続した接続部に負荷抵抗  $R_{L1}$  の一端を接続し他端を接地して第1の出力装置を形成し、NPNトランジスタ  $Q_{11}$  (以下トランジスタ  $Q_{11}$  という)とPNPトランジスタ  $Q_{22}$  (以下トランジスタ  $Q_{22}$  という)と負荷抵抗  $R_{L2}$  とで

[1] 第1の出力装置と同じ構成の第2の出力装置を形成し、左右両チャンネルを構成している。トランジスタ  $Q_1$ ,  $Q_{11}$  のコレクタとトランジスタ  $Q_3$  のエミッタをそれぞれ接続し各トランジスタ  $Q_1$ ,  $Q_{11}$  のコレクタとトランジスタ  $Q_4$  のエミッタとを接続してトランジスタ  $Q_3$  のコレクタとトランジスタ  $Q_4$  のコレクタとの間に等電圧でかつ和電圧が印加されるように電源  $V_1 \sim V_4$  をその正側がトランジスタ  $Q_3$  のコレクタ側となる様に直列接続し、電源  $V_2$  と電源  $V_3$  の接続部を接地し、電源  $V_1$  と電源  $V_2$  の接続部とトランジスタ  $Q_1$ ,  $Q_{11}$  のコレクタとトランジスタ  $Q_3$  のエミッタの接続部との間にダイオード  $D_1$  を介して接続し電源  $V_3$ ,  $V_4$  の接続部と、トランジスタ  $Q_2$ ,  $Q_{12}$  のコレクタとトランジスタ  $Q_4$  のエミッタの接続部との間にダイオード  $D_2$  を介して接続し、トランジスタ  $Q_1$ ,  $Q_2$  とトランジスタ  $Q_{11}$ ,  $Q_{12}$  のベースを相互に接続してそれぞれのベースに入力信号を与え、かつ、トランジスタ  $Q_1$ ,  $Q_2$  とトランジスタ  $Q_{11}$ ,  $Q_{12}$  のベース側に電位差を与える

電圧降下用のダイオード  $D_3, D_4$  およびダイオード  $D_{13}, D_{14}$  を挿入し、トランジスタ  $Q_3, Q_4$  のベースには左右両チャンネルの入力信号を供給する、ダイオード  $D_5, D_6$  とダイオード  $D_7, D_8$  からなる論理回路 9, 10 とから構成されている。この論理回路 9, 10 に入力信号が入ってくると入力信号の大小により出力用トランジスタ  $Q_1, Q_2$  及び  $Q_{11}, Q_{12}$  に入力信号に見合った電源を供給するもので、左右両チャンネル同時に動作するものである。また、トランジスタ  $Q_3, Q_4$  は供給電源電圧を切換えるスイッチング用トランジスタとして働くものである。

以下、第2図を基に具体的な動作説明を行う。今、入力信号  $e_{i1}$  が電源  $V_2$  より低い信号の場合トランジスタ  $Q_3$  はベース、エミッタ間が逆バイアス状態にあるので遮断されている。よって負荷抵抗  $R_{L1}$  に流れる電流は電源  $V_2$  からダイオード  $D_1$  を介して供給される。

次に入力信号  $e_{i1}$  が電源  $V_2$  を超えると出力電圧も  $V_2$  を超えるのでダイオード  $D_1$  は逆バイア



7 ページ

□

スとなり遮断される。一方トランジスタ  $Q_3$  のベース、エミッタ間は順バイアスとなるので導通し電源  $V_1$  から電流が流れ始める。すなわちトランジスタ  $Q_1$  のコレクタには電源  $V_1 + V_2$  の電圧が加わったことになる。それぞれの状態の時の効率  $\eta$  は

$$e_{i1} < V_2 \text{ のとき } \eta = e_{i1} / V_2 \quad \dots\dots\dots(1)$$

$$V_2 < e_{i1} < V_1 + V_2 \text{ のとき}$$

$$\eta = e_{i1} / (V_1 + V_2) \quad \dots\dots\dots(2)$$

となる。上記の(1)、(2)式から明らかなように、入力信号  $e_{i1}$  が低い範囲 ( $0 < e_{i1} < V_2$ ) において、いったん効率が最大となる。

一般に増幅装置の動作時間中において、最大出力で動作する時間は極めて少なく、通常は最大出力より小さい出力で動作している。第2図の回路は入力信号  $e_{i1}$  の低い範囲すなわち出力の小さい範囲の効率を向上させているので実際の増幅装置の動作における効率は良く発熱が少ない。

又、ステレオ入力信号  $e_{i1}$ 、 $e_{i2}$  が入力された時ダイオード  $D_5$ 、 $D_6$  で構成されたOR型の論理

回路 9 は、左、右どちらかの大きな入力信号でトランジスタ  $Q_3$  を動作させ、両チャンネルの出力トランジスタ  $Q_1, Q_{11}$  に電源  $V_1 + V_2$  の電圧を加える。これは、ステレオ信号において振幅の大きな大信号は大部分が約 500 Hz 以下の低域成分で構成されこの低域成分を基本波として、中高域成分の小信号が低域成分の基本波に重畳された形となっているため左右チャンネル間の信号位相差が殆どないという性質を利用したものである。

尚、ダイオード  $D_1$  は、電源  $V_1$  からトランジスタ  $Q_3$  を通って負荷抵抗  $R_{L1}$  に流れる電流が電源  $V_2$  へ流れるのを防止するためである。又、ダイオード  $D_3, D_{13}$  は、飽和防止用のダイオードで  $e_{i1} \geq V_2$  になってもトランジスタ  $Q_1, Q_{11}$  のコレクタ・エミッタ間電圧はダイオード  $D_3, D_{13}$  の電圧降下分だけ余裕があるのでトランジスタ  $Q_1, Q_{11}$  が飽和することはない。又、OR 型の論理回路 9 のダイオード  $D_5, D_6$  は、トランジスタ  $Q_3$  の逆バイアスによるベース・エミッタ接合の逆方向電流を阻止するのでトラ

[7]

ンジスタ  $Q_3$  を保護する働きもする。

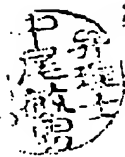
尚、上記説明はプラス側半分について説明したが、マイナス側半分についても同様な動作をする。又、上記の説明において、増幅素子およびスイッチング素子としてトランジスタを用いた場合について説明したが、他の能動素子を用いてもよい。また、2段重ねとした増幅装置について説明したが3段以上の積み重ね構成とすることもでき、この場合さらに効率を良くすることが可能である。

#### 10 考案の効果

本考案によれば、電力効率が良く発熱量が少なく歪の発生が少ない増幅装置を実現することができ、又、増幅装置の放熱設計が容易になる。又、ステレオ再生用で、左右両チャンネル同時に供給電源電圧を切換えるため部品点数が少なくなり、増幅装置の集積化が容易で、かつ、小型で大出力のステレオ再生増幅装置を実現できるという効果もある。

#### 4、図面の簡単な説明

20 第1図は従来の高効率化を図った増幅装置の回



路図、第2図は本考案の一実施例におけるステレオ再生用増幅装置の回路図である。

$Q_1, Q_3, Q_{11} \dots \dots$  NPNトランジスタ、 $Q_2, Q_4, Q_{12} \dots \dots$  PNPトランジスタ、 $D_1 \sim D_8, D_{13}, D_{14} \dots \dots$  ダイオード、 $R_{L1}, R_{L2} \dots \dots$  負荷抵抗、 $V_1 \sim V_4 \dots \dots$  直流電源。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

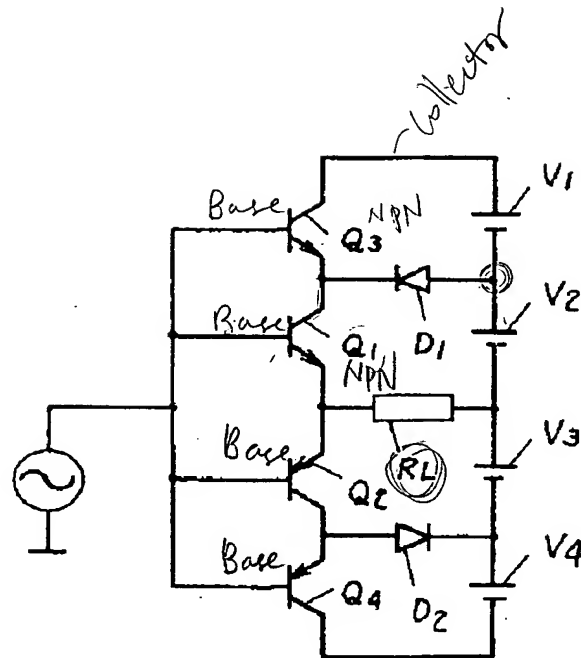
10

15

20



第 1 図

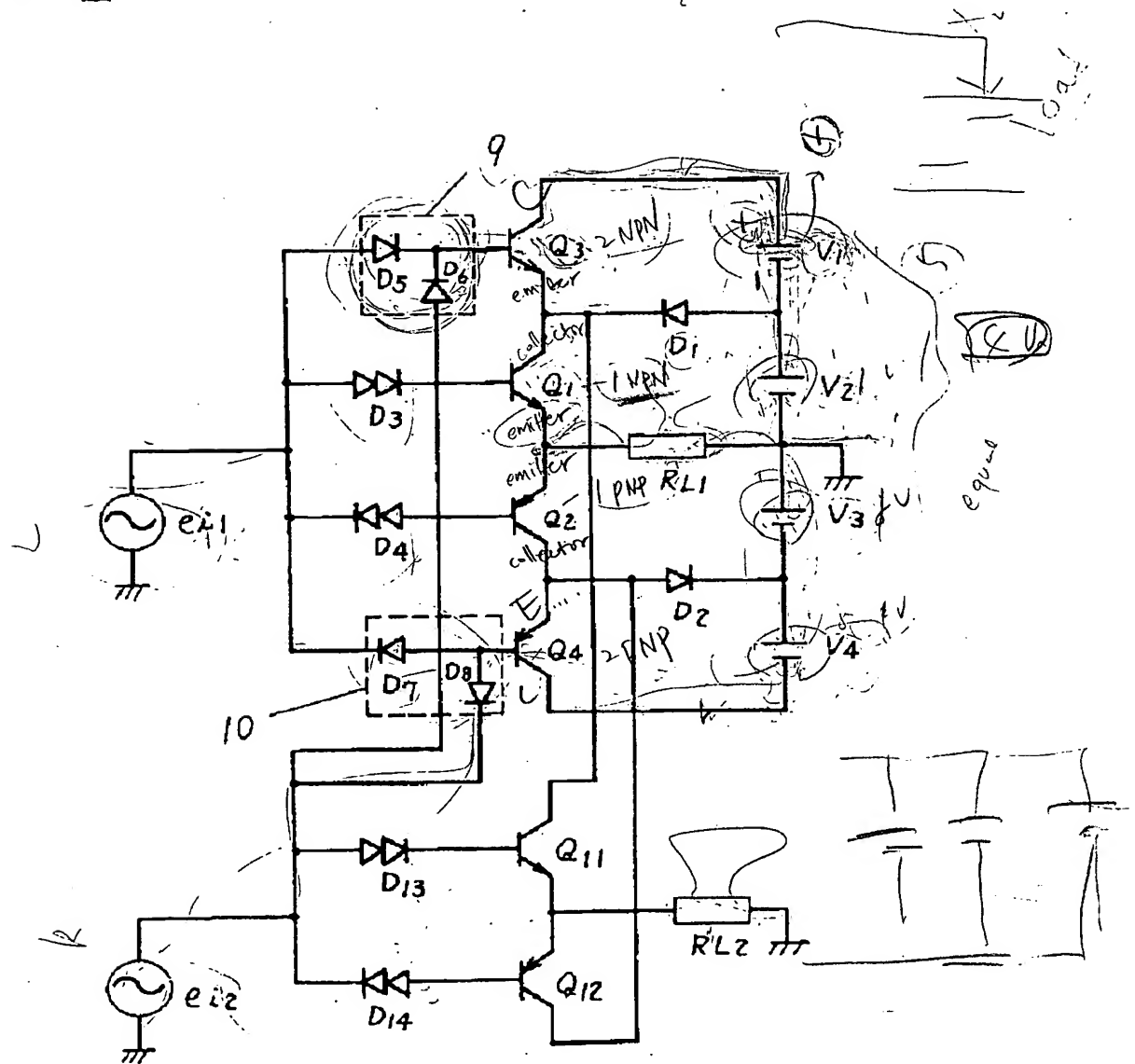


代理人の氏名 実開61-52815

井理士 中 尾 敏 男

140 ほか1名

第 2 図



代理人の氏名 実開61-52815

弁理士 中尾敏男 141

ほか1名

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**